

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. November 2005 (10.11.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/107342 A1

(51) Internationale Patentklassifikation⁷: **H05K 1/00**, 1/11, 3/40, 3/42

(21) Internationales Aktenzeichen: PCT/EP2005/050919

(22) Internationales Anmeldedatum: 2. März 2005 (02.03.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität: 10 2004 021 062.4 29. April 2004 (29.04.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **SIEMENS AKTIENGESELLSCHAFT** [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BUSCH, Georg** [DE/DE]; Feldmark 5, 48683 Ahaus (DE).

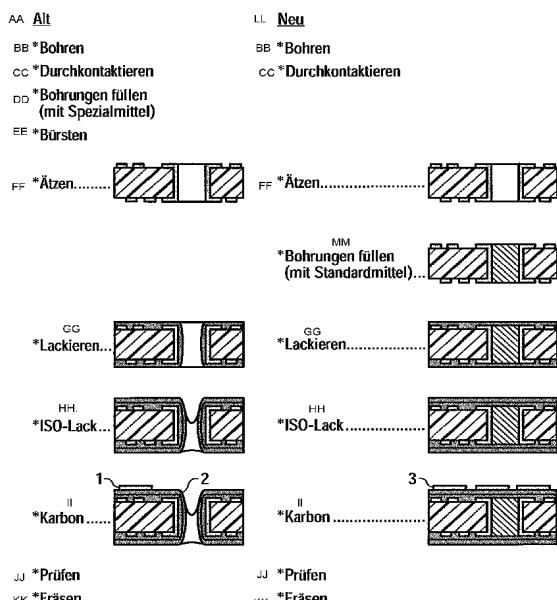
(74) Gemeinsamer Vertreter: **SIEMENS AKTIENGESELLSCHAFT**; Postfach 22 16 34, 80506 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF CIRCUIT BOARDS AND/OR CORRESPONDING CONSTRUCTS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG VON LEITERPLATTEN UND/ODER ENTSPRECHENDEN KONSTRUKTEN



(57) Abstract: Disclosed is a simplified, inexpensive method for producing printed circuit boards and/or corresponding constructs comprising points where through-connections are created. Such a method dispenses with the need for a very complex brushing process while using exclusively low-cost lacquer variants. Moreover, the inventive method allows additional strip conductors or appropriate layers to be guided even directly across the through-connections rather than just to said through-connections..

(57) Zusammenfassung: Es wird ein vereinfachtes, kostengünstiges Verfahren zur Herstellung von Leiterplatten und/oder entsprechenden Konstrukten vorgeschlagen, welche Stellen aufweisen, an denen Durchkontaktierungen realisiert sind. Ein solches Verfahren verzichtet auf einen sehr aufwendigen Bürstvorgang und verwendet ausschliesslich kostengünstige Lackvarianten. Trotzdem wird zusätzlich erreicht, dass weitere Leiterbahnen oder entsprechende Schichten nicht nur bis zu den Durchkontaktierungen sondern ohne weiteres sogar direkt darüber hinweg geführt werden können.

AA... PRIOR ART
BB... DRILL
CC... CONNECT THROUGH
DD... FILL BORES (WITH SPECIAL SUBSTANCE)
EE... BRUSH
FF... ETCH
GG... LACQUER
HH... ISO LACQUER
II... CARBON
JJ... TEST
KK... MILL
LL... INVENTION
MM... FILL BORES (WITH STANDARD SUBSTANCE)

WO 2005/107342 A1



TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL,

Veröffentlicht:

— *mit internationalem Recherchenbericht*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zur Herstellung von Leiterplatten und/oder entsprechenden Konstrukten

5

Die Erfindung betrifft ein Verfahren zur Herstellung von Leiterplatten und/oder entsprechenden Konstrukten gemäß dem Oberbegriff des Anspruchs 1.

10 Bei der Herstellung von Leiterplatten und/oder entsprechenden Konstrukten mit Stellen, an denen Durchkontaktierungen realisiert sind, existiert das Problem, dass eine auf das Leiterbahnensbild aufgebrachte Isolierlack-Schicht insbesondere an den Öffnungskanten der Durchgangsbohrungen der Durchkontaktierungen keine sichere Isolierung gewährleistet.

15

Der Grund hierfür ist zum einen, dass der Isolierlack in die Durchgangsbohrungen läuft und sich an den Öffnungskanten der Durchgangsbohrungen quasi abstreift. Hierdurch wird die Dicke der Isolierlack-Schicht an den betreffenden Kanten zumindest sehr dünn. Zum anderen ist die Isolierlack-Schicht nicht zu 100% porendicht, so dass es kleine und kleinste Löcher gibt, die den elektrischen Widerstand in bezug auf die darunter angeordnete elektrisch leitende Schicht, die in diesem Fall die elektrische Durchkontaktierung bildet, kleiner als Unendlich werden lassen.

20

25

30

35

Dies wirkt sich zum Beispiel dann nachteilig aus, wenn oberhalb der Durchkontaktierung eine weitere elektrisch leitende Schicht, sei es in Form zum Beispiel einer weiteren Leiterbahn oder in Form zum Beispiel einer größeren Fläche, angeordnet wird. Der Vorteil, der hier erzielt wird, ist, dass die Oberfläche der Leiterplatte oder eines entsprechenden Konstrukts wesentlich intensiver genutzt wird. Es werden nämlich auch diejenigen Bereiche verwendet, die ansonsten frei gelassen werden, um Kurzschlüsse zu den Durchkontaktierungen sicher zu verhindern.

Bei den Kurzschlüssen muss es sich dabei nicht zwangsläufig jeweils um extrem niederohmige Kurzschlüsse handeln. Kurzschlüsse sind auch dann vorhanden, wenn der Isolationswiderstand kleiner Unendlich wird, so dass die Möglichkeit besteht, dass Kriechströme fließen.

Aufgabe der vorliegenden Erfindung ist es, ein einfaches und kostengünstiges Verfahren zur Herstellung von Leiterplatten und/oder entsprechenden Konstrukten mit Stellen, an denen Durchkontaktierungen realisiert sind, zumindest in deren Nähe weiter Leiterbahnen oder Ähnliches vorgesehen sind, anzugeben.

15 Diese Aufgabe wird erfindungsgemäß durch ein Verfahren gelöst, das die im Anspruch 1 angegebenen Verfahrensschritte aufweist.

20 Dieses Verfahren hat den Vorteil, dass es einfach in der Abwicklung ist und dass trotzdem sichergestellt ist, dass keine Kurzschlüsse zwischen den Durchkontaktierungen und den zumindest in der Nähe der Durchkontaktierungen angeordneten Leiterbahnen oder dementsprechend Ähnlichen fabriziert sind.

25 Das Verfahren ist einfach in der Abwicklung und es ist kostengünstig, weil insbesondere ein sehr aufwendiger Bürstverfahrensschritt, in dem die Oberfläche der Leiterplatte oder eines entsprechenden Konstrukts gebürstet wird, eingespart wird. Das Verfahren ist auch deshalb einfach und kostengünstig, weil durchwegs Standardmittel verwendbar sind und es somit nicht notwendig ist, Spezialmittel zumindest bei manchen Verfahrensschritten zu verwenden. Das Verfahren gewährleistet die Kurzschluss sicherheit insbesondere auch oberhalb der Durchkontaktierungen, weil oberhalb der Durchkontaktierungen praktisch drei Isolierschichten aufgebracht sind. Erstens ist damit eine insgesamt relativ dicke Gesamtisolierschicht realisiert und ist zweitens die Wahrscheinlichkeit,

dass bei drei Isolierschichten dreimal eine offene Pore der jeweiligen Isolierschicht jeweils genau aufeinander trifft, praktisch ausgeschlossen.

5 Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand von Unteransprüchen.

Danach können identische Standardmittel in mehreren Verfahrensschritten eingesetzt werden, in denen vormals wenigstens 10 zum Teil Spezialmittel erforderlich waren.

Ein weiterer Vorteil ist, dass die Standardmittel kostengünstige Mittel sein können.

15 Ein weiterer Vorteil ist, dass die oberhalb der Durchkontaktierungen angeordneten Leiterbahnen oder dergleichen mit kostengünstigem Karbon realisiert sein können.

20 Schließlich ist es vorteilhaft, dass die Vereinzelung der Leiterplatten oder der entsprechenden Konstrukten nach wie vor durch einfaches Fräsen aus einem größeren Gebilde heraus erfolgen kann.

25 Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand einer Zeichnung näher erläutert.

In der einzigen Figur sind auf der linken Seite die Abläufe eines bisherigen Verfahrens und auf der rechten Seite die Abläufe des erfindungsgemäßen Verfahrens zur Herstellung von 30 Leiterplatten und/oder entsprechenden Konstrukten mit Stellen, an denen Durchkontaktierungen im Größenbereich von 20 µm realisiert sind, in deren Nähe bzw. oberhalb derer weitere Leiterbahnen oder Entsprechendes angeordnet sind, einander gegenübergestellt.

35

Das bisherige Verfahren weist am Beispiel der Herstellung einer Leiterplatte folgende Verfahrensschritte auf:

1. Bohren der Durchgangsbohrungen für die Durchkontaktierungen;
2. Herstellen der Durchkontaktierungen;
- 5 3. Füllen der Bohrungen der Durchkontaktierungen mit einer Ätzbeständigen Plugging-Paste (= ein Spezialmittel);
4. Bürsten der Oberflächen, damit es möglich wird, nachfolgend auf planen und sauberen Flächen das Ätzbild (Leiterbahnenbild) zu erzeugen;
- 10 5. Ätzen der Leiterplatte, worunter alle Maßnahmen zu verstehen sind, die notwendig sind, dass ein fertiges Leiterbahnenbild erzeugt ist;
6. Lackieren der Oberflächen mit einem Stopplack, so dass eine erste Lackschicht aufgebracht ist, die wenigstens geringfügig die elektrisch leitenden Flächen und Flächenteile (Leiterbahnen) bedeckt und auch die Oberflächen der Durchkontaktierungen und weiter die Zwischenräume zwischen den elektrisch leitenden Flächenteilen wenigstens zum Teil verfüllt;
- 15 7. Aufbringen des eigentlichen Isolierlacks (ISO-Lack), so dass insgesamt erstens wieder eine plane Oberfläche gegeben ist und zweitens eine sichere Isolierung in bezug auf die darunter angeordneten elektrisch leitenden Flächen und Flächenteile besteht, weshalb es dann möglich ist, dass auf diesen Oberflächen weitere elektrisch leitende Flächen und Flächenteile vorsehbar sind mit Ausnahme oberhalb der Durchkontaktierungen, weil dort letztlich durch das Fehlen einer Verfüllung der Durchkontaktierungen doch keine plane Oberfläche entsteht. Hier läuft jedesmal der Lack zumindest etwas in die Durchkontaktierung hinein;
- 20 8. Aufbringen von weiteren elektrisch leitenden Flächen und Flächenteilen (zum Beispiel Karbon-Leiterbahnen (1)), wobei aus Gründen der Vermeidung von Kürzschlüssen insbesondere an den Randkanten (2) der Durchgangsbohrungen der Durchkontaktierungen, an denen sich nur eine besonders
- 25
- 30
- 35

dünne Isolierung ausbildet, ein relativ großer Abstand eingehalten wird;

9. Prüfen der Leiterplatte, und

10. Vereinzen der Leiterplatte durch Herausfräsen der Leiterplatte aus einem Verbund von Leiterplatten, in dem eine Leiterplatte aus Gründen der Wirtschaftlichkeit in der Regel hergestellt wird.

Demgegenüber weist das erfindungsgemäße Verfahren am Beispiel der Herstellung einer Leiterplatte folgende Verfahrensschritte auf:

1. Bohren der Durchgangsbohrungen für die Durchkontaktierungen;
- 15 2. Herstellen der Durchkontaktierungen;
3. Ätzen der Leiterplatte, worunter alle Maßnahmen zu verstehen sind, die notwendig sind, dass ein fertiges Leiterbahnenbild erzeugt ist;
4. Füllen der Bohrungen der Durchkontaktierungen mit einer Standard-Plugging-Paste (= Standardmittel in Form einer einen Einspareffekt erzielenden und den Verfahrensablauf vereinfachenden kostengünstigen Lackvariante), wobei an dieser Stelle auf ein aufwendiges und teures Bürsten der Oberflächen verzichtet werden kann (dies ergibt zusammen mit dem Weglassen des aufwendigen und teuren Bürstens der Oberflächen vor dem Ätzen, wie das beim vormaligen Verfahrensablauf ansonsten notwendig war, einen weiteren wesentlichen Einsparungseffekt und eine weitere Vereinfachung des Verfahrensablaufs);
- 20 5. Lackieren der Oberflächen mit einem Stopplack, so dass eine erste Lackschicht aufgebracht ist, die wenigstens geringfügig die elektrisch leitenden Flächen und Flächenteile (Leiterbahnen) bedeckt und auch die Zwischenräume zwischen den elektrisch leitenden Flächenteilen wenigstens zum Teil verfüllt;
- 25 6. Aufbringen des eigentlichen Isolierlacks (ISO-Lack), so dass insgesamt erstens wieder eine plane Oberfläche gege-

ben ist und zweitens eine sichere Isolierung in bezug auf die darunter angeordneten elektrisch leitenden Flächen und Flächenteile besteht, weshalb es dann möglich ist, dass auf diesen Oberflächen weitere elektrisch leitende Flächen und Flächenteile vorsehbar sind, und zwar auch direkt oberhalb der Durchkontaktierungen;

5 7. Aufbringen von weiteren elektrisch leitenden Flächen und Flächenteilen (zum Beispiel Karbon-Leiterbahnen (3)), wobei diese elektrisch leitenden Flächen und Flächenteile jetzt auch mindestens bis zu den Durchkontaktierungen und sogar direkt darüber hinweg geführt sein können;

10 8. Prüfen der Leiterplatte, und

9. Vereinzeln der Leiterplatte durch Herausfräsen der Leiterplatte aus einem Verbund von Leiterplatten, in dem eine Leiterplatte aus Gründen der Wirtschaftlichkeit in der 15 Regel hergestellt wird.

Die Standard-Plugging-Paste, der Stopplack und der Isolierlack können jeweils identisch sein, das heißt aus eben einer 20 einzigen kostengünstigen Lackvariante bestehen.

Das Aufbringen der Lackschichten kann mittels des an sich bekannten und einfach zu realisierenden Siebdruckverfahrens bewerkstelligt werden.

25

Patentansprüche

1. Verfahren zur Herstellung von Leiterplatten und/oder entsprechenden Konstrukten mit Stellen, an denen Durchkontaktierungen im Größenbereich von 20µm realisiert sind, zumindest in deren Nähe weiter Leiterbahnen oder eine elektrisch leitende Schicht vorgesehen sind, gekennzeichnet durch folgende wesentlichen Verfahrensschritte:
 - Bohren von im Größenbereich von 20 µm liegenden Durchgangsbohrungen für die nachfolgende Herstellung der Durchkontaktierungen;
 - Durchkontaktieren, indem eine elektrisch leitende Gesamtschicht aufgebaut wird;
 - Ätzen des Leiterbahnenbildes in die elektrisch leitende Gesamtschicht;
 - Bohrungen der Durchgänge füllen mit einem Standardmittel;
 - Lackieren der Oberflächen, auf denen Durchkontaktierungen vorhanden sind, zumindest in deren Nähe später Leiterbahnen vorgesehen sind;
 - Isolierlack (ISO-Lack), welcher ein Standardmittel ist, aufbringen auf die Oberflächen der Leiterplatte und/oder des entsprechenden Konstrukts;
 - Herstellen von oberhalb der Durchkontaktierungen angeordneten Leiterbahnen;
 - Prüfen der Leiterplatte bzw. des entsprechenden Konstrukts;
 - Vereinzeln der Leiterplatte bzw. des entsprechenden Konstrukts.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Standardmittel in den verschiedenen Verfahrensschritten jeweils identisch sind;
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Standardmittel in den verschiedenen Verfahrensschritten jeweils kostengünstige Lackvarianten sind.

4. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass zumindest die oberhalb der Durchkontaktierungen angeordneten Leiterbahnen mit Karbon (3) realisiert sind.

5

5. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass das Vereinzeln der Leiterplatten bzw. der entsprechenden Konstrukte durch einen Fräsvorgang bewerkstelligt ist.

10

1/1

Alt

- *Bohren
- *Durchkontaktieren
- *Bohrungen füllen (mit Spezialmittel)
- *Bürsten

*Ätzen.....

Neu

- *Bohren
- *Durchkontaktieren

*Ätzen.....



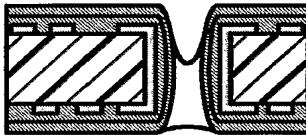
*Lackieren...



*Bohrungen füllen (mit Standardmittel)...



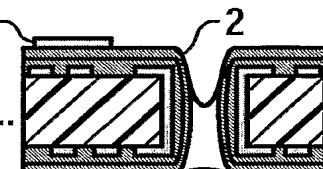
*ISO-Lack...



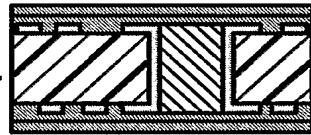
*Lackieren.....



*Karbon.....



*ISO-Lack.....

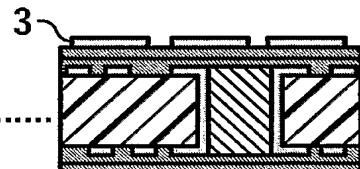


*Prüfen

*Fräsen

*Prüfen

*Fräsen



INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/050919

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H05K1/00 H05K1/11 H05K3/40 H05K3/42

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 02/078411 A (SIEMENS AKTIENGESELLSCHAFT; BUSCH, GEORG) 3 October 2002 (2002-10-03) page 2, line 9 - page 3, line 5 page 4, line 12 - page 5, line 25; figures 1-3	1-4
A	US 5 758 413 A (CHONG ET AL) 2 June 1998 (1998-06-02) column 4, lines 3-54; figures 2-10	
A	US 5 001 605 A (SAVAGIAN ET AL) 19 March 1991 (1991-03-19) column 3, line 51 - column 4, line 10; figures 2,4	1
A	US 5 487 218 A (BHATT ET AL) 30 January 1996 (1996-01-30) column 3, lines 2-29; figure 1	1

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

28 July 2005

Date of mailing of the international search report

05/08/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Molenaar, E

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/050919

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
WO 02078411	A 03-10-2002	CN WO EP	1498519 A 02078411 A1 1371275 A1		19-05-2004 03-10-2002 17-12-2003
US 5758413	A 02-06-1998	US JP JP	5699613 A 3382096 B2 9116267 A		23-12-1997 04-03-2003 02-05-1997
US 5001605	A 19-03-1991	DK ES IL JP JP	601289 A 2019743 A6 92272 A 2199897 A 7007867 B		31-05-1990 01-07-1991 12-04-1994 08-08-1990 30-01-1995
US 5487218	A 30-01-1996	EP KR US US	0713359 A1 273933 B1 RE37840 E1 5557844 A		22-05-1996 15-12-2000 17-09-2002 24-09-1996

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/050919

A. KLASSEFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H05K1/00 H05K1/11 H05K3/40 H05K3/42

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H05K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^o	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 02/078411 A (SIEMENS AKTIENGESELLSCHAFT; BUSCH, GEORG) 3. Oktober 2002 (2002-10-03) Seite 2, Zeile 9 – Seite 3, Zeile 5 Seite 4, Zeile 12 – Seite 5, Zeile 25; Abbildungen 1-3	1-4
A	US 5 758 413 A (CHONG ET AL) 2. Juni 1998 (1998-06-02) Spalte 4, Zeilen 3-54; Abbildungen 2-10	
A	US 5 001 605 A (SAVAGIAN ET AL) 19. März 1991 (1991-03-19) Spalte 3, Zeile 51 -- Spalte 4, Zeile 10; Abbildungen 2,4	1
A	US 5 487 218 A (BHATT ET AL) 30. Januar 1996 (1996-01-30) Spalte 3, Zeilen 2-29; Abbildung 1	1

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

28. Juli 2005

05/08/2005

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Molenaar, E

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/050919

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
WO 02078411	A	03-10-2002	CN WO EP	1498519 A 02078411 A1 1371275 A1		19-05-2004 03-10-2002 17-12-2003
US 5758413	A	02-06-1998	US JP JP	5699613 A 3382096 B2 9116267 A		23-12-1997 04-03-2003 02-05-1997
US 5001605	A	19-03-1991	DK ES IL JP JP	601289 A 2019743 A6 92272 A 2199897 A 7007867 B		31-05-1990 01-07-1991 12-04-1994 08-08-1990 30-01-1995
US 5487218	A	30-01-1996	EP KR US US	0713359 A1 273933 B1 RE37840 E1 5557844 A		22-05-1996 15-12-2000 17-09-2002 24-09-1996